

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 8 月 25 日 (25.08.2005)

PCT

(10) 国際公開番号  
WO 2005/078731 A1

(51) 国際特許分類: G11C 11/401, 11/407, 16/02, 16/06  
(21) 国際出願番号: PCT/JP2005/001893  
(22) 国際出願日: 2005 年 2 月 9 日 (09.02.2005)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2004-037293 2004 年 2 月 13 日 (13.02.2004) JP  
(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP];  
〒5458522 大阪府大阪市阿倍野区長池町 2 番

2 2 号 Osaka (JP). 凸版印刷株式会社 (TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1108560 東京都台東区台東 1-5-1 Tokyo (JP).

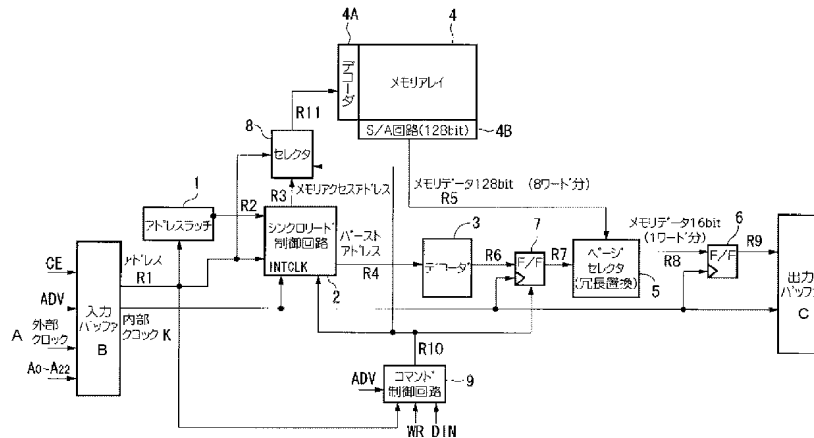
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 前田 賢吾 (MAEDA, Kengo) [JP/JP]; 〒6390215 奈良県北葛城郡上牧町葛城台 1-8-4 Nara (JP). 谷川 明 (TANIGAWA, Akira) [JP/JP]; 〒6100352 京都府京田辺市花住坂 2-1 2-1 8 Kyoto (JP). 西山 増治 (NISHIYAMA, Masuji) [JP/JP]; 〒5830876 大阪府羽曳野市伊賀 1-2-4 Osaka (JP). 大堀 庄一 (OHORI, Shoichi) [JP/JP]; 〒6310012 奈良県奈良市中山町 1 7 7 4-8 Nara (JP). 平野 誠 (HIRANO, Makoto) [JP/JP]; 〒6610021 兵庫県尼崎市名神町 2-4 クローバメゾン 9 0 5 Hyogo (JP). 高島 洋 (TAKASHIMA, Hiroshi) [JP/JP]; 〒6020022 京都府京都市上京区上

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY

(54) 発明の名称: 半導体メモリ



A... EXTERNAL CLOCK  
B... INPUT BUFFER  
K... INTERNAL CLOCK  
R1... ADDRESS  
1... ADDRESS LATCH  
4... MEMORY ARRAY  
4A... DECODER  
4B... S/A CIRCUIT (128 BITS)  
8... SELECTOR

R3... MEMORY ACCESS ADDRESS  
2... SYNCHRO-READ CONTROL CIRCUIT  
R4... BURST ADDRESS  
R5... MEMORY DATA 128 BITS (8 WORDS)  
3... DECODER  
9... COMMAND CONTROL CIRCUIT  
5... PAGE SELECTOR (REPLACE REDUNDANCY)  
R8... MEMORY DATA 16 BITS (ONE WORD)  
C... OUTPUT BUFFER

(57) Abstract: A semiconductor memory having a clock-synchronized burst mode read function and including a memory array constituted by a plurality of memory elements; a synchro-read control circuit that outputs, in synchronism with a clock, the upper order address of an address as a memory access address and also outputs, in synchronism with the clock, the lower order address as a burst address; a sense amplifier that outputs the output data of a memory element selected by the memory address; a decoder that decodes the burst address; an address latch that latches the burst address in synchronism with the clock; a page selector that holds the output data and selects the held output data in accordance with the burst address of the address latch; and an output latch that latches the output data in synchronism with the clock.

[続葉有]

WO 2005/078731 A1



立売通り烏丸西入ル上立売東町43 マンションかつま305 Kyoto (JP). 的場 伸次 (MATOBA, Shinji) [JP/JP]; 〒6300243 奈良県生駒市俵口町1223-2 ラウンドヒルズ403 Nara (JP). 浅野 正通 (ASANO, Masamichi) [JP/JP]; 〒6608811 京都府京都市下京区中堂寺坊城町10 サニーパーク小阪705 Kyoto (JP).

(74) 代理人: 政木 良文 (MASAKI, Yoshifumi); 〒5410042 大阪府大阪府中央区今橋4丁目3番6号 淀屋橋 NAOビル7F Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明の半導体メモリは、クロックに同期したバーストモード読出機能を持ち、複数のメモリ素子からなるメモリアレイと、アドレスの上位アドレスをメモリアクセスアドレスとし、下位アドレスをバーストアドレスとし、クロックに同期して出力するシンクロリード制御回路と、メモリアドレスで選択されたメモリ素子の出力データを出力するセンスアンプと、バーストアドレスをデコードするデコーダと、このバーストアドレスをクロックに同期させてラッチするアドレスラッチと、各出力データを保持し、アドレスラッチのバーストアドレスに対応して、保持されている出力データを選択するページセレクトと、クロックに同期して、出力データをラッチする出力ラッチとを有している。

## 明 細 書

### 半導体メモリ

### 技術分野

- [0001] 本発明は、データをアドレスに対応して記憶する半導体記憶装置に関し、特に、バーストモードによるデータ読み出し機能を有する半導体メモリに関する。

### 背景技術

- [0002] 半導体メモリにおいて、フラッシュメモリは、電氣的に書き換えが可能であり、電源を切った場合においても、記憶されたデータが消えないという不揮発特性を有しており、データ保持に電池を必要としないため、近年、小型携帯機器(特に携帯電話)の記憶装置に多用されている。

現在、携帯電話は、第三世代のサービスが開始され、Java(登録商標)アプリケーションプログラムの実行や、動画処理など、アプリケーションが多様化し、内蔵メモリに対する大容量化、高速化、低消費電力化の要望が高まって来ている。

- [0003] 上記フラッシュメモリには、メモリ素子に記憶されているデータを、高速に読み出す方式として、シンクロナスバーストリードモード(以下、シンクロリードとする)がある。

このシンクロリードとは、外部から入力したクロックに同期させて、メモリに記憶されているデータを読み出すモードであり、その他の読み出しモードである非同期ランダムリードや、非同期ページリードモードに比較して、メモリに記憶されているデータを、連続させて高速に読み出すモードである(例えば、特許文献1参照)。

- [0004] 特許文献1:特開2001-176277号公報

### 発明の開示

### 発明が解決しようとする課題

- [0005] このシンクロリードにおいて、従来は、図4に示すように、外部から入力されたアドレス(例えば、A0〜A22)がアドレスラッチ1によりラッチされ、シンクロリード制御回路(アドレスカウンタ)20に対して供給される。

ここで、フラッシュメモリを活性化するチップイネーブル信号CE信号が入力されることにより、入力バッファが外部クロックから内部クロックKを生成し、この内部クロックK

が内部の同期動作に使用される。内部クロックKは外部クロックと同一の周波数であり、位相が異なる。

また、入力バッファは、アドレスバリッド信号ADVが入力されることにより、外部から入力されるアドレスの入力を許可する状態となる。

そして、アドレスバリッド信号ADV及びチップイネーブル信号CEのいずれか遅いほうの有効エッジ(例えば、立ち下がりエッジ)によりシンクロナス開始クロックが生成され、このシンクロナス開始クロックのエッジ(例えば、立ち上がりエッジ)により、上記アドレスが内部に取り込まれる。このとき、シンクロリードの読み出し状態に設定されていれば、最初の内部クロックKのクロックエッジ(例えば、立ち上がりエッジ)によりバースト読み出しの動作が開始される。

すなわち、内部回路により、アドレスバリッド信号ADV及びチップイネーブル信号CEが入力されると、シンクロナス開始クロックが生成されたとき、シンクロリードの読み出し状態である場合、上記シンクロナスリード開始クロックがシンクロリード制御回路(アドレスカウンタ)20へ入力され、シンクロリード制御回路20がバースト読み出しの動作を開始する。

これにより、シンクロリード制御回路20は、メモリアレイ4に対してメモリアクセスアドレスR3を出力する。

そして、デコーダ4Aは入力されるメモリアクセスアドレスをデコードして、メモリアレイ4からページ単位に複数のメモリ素子(例えば128bit)を選択して、選択されたメモリ素子各々から、データがそれぞれ対応するセンスアンプ回路(S/A)4Bに出力される。

[0006] これにより、センスアンプ回路4Bは、メモリ素子から出力されたデータの判定を行い(微小な出力データを増幅したのちに判定を行う)、メモリデータとしてラッチするとともに、このメモリデータR5をページセクタ5へ出力する。以下、ページ単位を128bitとし、1ワードを16bitとして説明する。

次に、ページセクタ5は、シンクロリード制御回路20からのバーストアドレスにより、入力されているメモリデータR5から、順次、1ワードずつデータを選択して、出力データとして出力ラッチ6へ出力することになる。

ここで、メモリアドレスは、ページ単位のメモリ素子を選択する、入力されたアドレスの上位アドレスに対応し、バーストアドレスは、ページ単位からワード単位のメモリ素子を選択する、入力されたアドレスの下位アドレスに対応している。

シンクロリード制御回路20は、初期状態において、図4に示すようにアドレスラッチ1からの下位アドレスを、バーストアドレスR4として出力している。

[0007] そして、シンクロリード制御回路20は、内部クロックに同期して、上記下位アドレスをインクリメント(1つずつ増加)させ、順次、バーストアドレスとして出力する。

このとき、シンクロリード制御回路20からメモリアドレスR11が出力されてから、センスアンプ回路4Bからデータが出力されるまで、所定のアクセス時間(非同期の時間)が必要となる。

このため、バーストアドレスを出力する内部クロックのタイミングを、シンクロ制御回路20に判定させるため、上記アクセス時間をクロック数で定義することになる。

例えば、所定の時間が60nsであり、内部クロックの動作周波数が100MHz(10ns)とすると、6内部クロックとなり、センスアンプ回路4Bからメモリデータが出力される。

[0008] 図4に示す従来の回路においては、シンクロリード制御回路20がメモリアクセスアドレスを出力してから、6内部クロックが経過して7内部クロック目から、出力バッファからアクセスされたアドレスのデータが、内部クロックに同期して順次バースト読み出しされることとなる。

このとき、シンクロリード制御回路20は、7内部クロック目から内部クロックに同期した、バーストアドレスのインクリメント動作を開始する。

これにより、ページセクタ5は、デコーダ3によりデコードされたバーストアドレスによって、メモリアレイから読み出されたメモリデータ8ワード分(128bit)から、このバーストアドレスに対応する1ワード分(16bit)が選択して出力する。

[0009] そして、出力ラッチ6は、1ワード分のデータDnを、内部クロックに同期して、ラッチして出力させている。

従来、上記シンクロリード制御回路20は、図4からもわかるように、内部クロックに同期させて、バーストアドレスの出力から、メモリアレイ4から読み出したメモリデータを出力ラッチ6にラッチさせるまでを、内部クロックの1周期以内に処理していた。

[0010] すなわち、図5に示す従来のチップ回路構成ブロックの動作を示すタイミングチャートからわかるように、内部クロックKの立ち上がりによって出力ラッチ6の出力がセットアップされるタイミングより前に、ページセクタ5から出力されるメインデータR8が確定されていなければならない。

しかしながら、動作速度の高速化により内部クロックKの周波数が高くなると、シンクロリード制御回路20に内部クロックKが入力され、インクリメントされたバーストアドレスR4がデコーダ3を介して、ページセクタ5に入力された後、ページセクタ5のメモリデータR8が安定するまでの伝搬経路における信号の伝搬時間が内部クロックKの周期よりも長くなることにより、実質的にシンクロリードのアクセスタイムが制限されることとなる。

[0011] 例えば、内部クロックの立ち上がりからバーストアドレスR4が出力されるまでを5nsとし、デコーダ3において2ns遅延し、ページセクタ5においてデータ保持信号R7によりメモリデータR5が選択されてメインデータR8として出力される遅延時間を2.5nsとし、出力ラッチ6のセットアップ時間を約1nsとすると、内部クロックKがシンクロリード制御回路20に内部クロックが入力されてから、出力ラッチ6に正常にデータをラッチさせるために必要な設定時間(伝搬時間)は

$$5\text{ns} + 2\text{ns} + 2.5\text{ns} + 1\text{ns} = 10.5\text{ns}$$

となり、クロック周期11ns(クロック周波数90MHz)までなら、設計上において、従来の回路構成形態でも対応出来ると考えられる。

図5に示すタイミングチャートの例は、内部クロックKの周波数が50MHzの場合であり、外部の回路が7クロック目からデータを取得する場合を想定しており、メモリアクセスアドレスR3が出力されてから7内部クロック目から、出力データが1ワードずつ、D0から順にD1, D2, D3, ...と出力されている。

[0012] しかしながら、図6に示すように、内部クロックKの周期がクロック周期7.5ns(周波数133MHz)においては、内部クロックKの周期が上記設定時間に対して短くなってしまうため、7内部クロック目でD0が出力されるとともに、バーストアドレスR4がインクリメントされるが、8内部クロック目が出力ラッチ6に入力された時点において、新たなデータ保持信号R7が入力されていないため、ページセクタ5の出力がD0からD1に

変化しない。

このため、8内部クロック目では、依然として出力データがD0であり、9内部クロック目から順次D1, D2, D3, …と出力されることになる。

- [0013] このように、上述した手法においては、すでに述べたように、内部クロックの1周期以内に、シンクロリード制御回路20から出力されるバーストアドレスR4により、メモリアレイ4から出力されるメモリデータR5を、ページセクタ5から出力させ、次の内部クロックKにより、出力ラッチ6から出力データとして出力する必要があった。

しかしながら、設定時間の制限により伝搬経路の高速化が限界となり、内部クロックKの動作周波数を上昇させることが出来なくなり、クロック周波数の値により、出力されるデータのタイミングが異なることにより、アクセスタイムの高速化に対応出来なくなった。

- [0014] また、これまでの手法で高速化を図るための手段としては、MOSTランジスタ性能を向上させるか、あるいは、チップサイズの縮小化などにより、対応することでしか方法は残されていない。

しかし、MOSTランジスタの性能を向上させるには、多大な労力と時間とコストとが必要であり、動作速度の高速化に対応することは困難である。

また、チップサイズについてもプロセスを微細化する必要があり、設備投資により製造コストが高くなることで、チップ単価が高くなってしまい、現状プロセスでの縮小化には限界があることから、動作速度向上のための画期的なチップサイズ縮小化はあまり現実的ではない。

本発明は、このような事情に鑑みてなされたもので、ランジスタの性能を向上させることなく、シンクロナスバーストリードモードにおける動作速度を向上させることが可能な半導体メモリを提供することを目的とする。

#### 課題を解決するための手段

- [0015] 本発明の半導体メモリは、クロックに同期してデータの連続読出し動作を行うバーストモード読出し機能を有する半導体メモリであり、複数のメモリ素子からなるメモリアレイと、入力されるアドレスにおける上位アドレスをメモリアクセスアドレスとして、前記クロックに同期して出力するとともに、該上位アドレスを除くアドレスをバーストアドレス

として、このクロックに同期して順次変化させて出力するシンクロリード制御回路と、該メモリアドレスにより選択されたメモリ素子各々からの微小な出力信号を増幅し、出力データとして出力するセンスアンプと、バーストアドレスをデコードするデコーダと、デコードされたバーストアドレスを前記クロックに同期させてラッチして出力するバーストラッチと、前記各出力データを保持し、バーストアドレスに対応して、保持されている出力データを選択するページセクタとを有していることを特徴とする。

- [0016] 本発明の半導体メモリは、クロックに同期してデータの連続読出し動作を行うバーストモード読み出し機能を有する半導体メモリにおいて、複数のメモリ素子からなるメモリアレイと、入力されるアドレスにおける上位アドレスをメモリアクセスアドレスとして、前記クロックに同期して出力するとともに、該上位アドレスを除くアドレスをバーストアドレスとして、このクロックに同期して順次変化させて出力するシンクロリード制御回路と、該メモリアドレスにより選択されたメモリ素子各々からの微小な出力信号を増幅し、出力データとして出力するセンスアンプと、バーストアドレスをデコードするデコーダと、デコードされたバーストアドレスを前記クロックに同期させてラッチして出力するバーストラッチと、前記各出力データを保持し、バーストアドレスに対応して、保持されている出力データを選択するページセクタと、前記クロックに同期して、前記ページセクタにより選択された出力データをラッチして出力する出力ラッチとを有していることを特徴とする。

本発明の半導体メモリは、前記シンクロリード制御回路が、バーストモード開始の信号から出力データが出力されるまでの、予め設定されているクロック数を $N$ とした場合、 $N-1$ のクロックのタイミングから、前記クロックに同期してバーストアドレスのインクリメント動作を行うことを特徴とする。

- [0017] 本発明の半導体メモリは、クロックに同期してデータの連続読出し動作を行うバーストモード読み出し機能を有する半導体メモリにおいて、複数のメモリ素子からなるメモリアレイと、入力されるアドレスにおける上位アドレスをメモリアクセスアドレスとして、前記クロックに同期して出力するとともに、該上位アドレスを除くアドレスをバーストアドレスとして、このクロックに同期して順次変化させて出力するシンクロリード制御回路と、該メモリアドレスにより選択されたメモリ素子各々からの微小な出力信号を増幅し、出



力データとして出力するセンスアンプと、バーストアドレスをデコードするデコーダと、デコードされたバーストアドレスを前記クロックに同期させてラッチして出力するバーストラッチと、前記各出力データを保持し、バーストアドレスに対応して、保持されている出力データを選択するページセクタと、前記クロックに同期して、前記ページセクタにより選択された出力データをラッチして出力する出力ラッチとを有し、前記バーストラッチ及びデコーダにおいて、このラッチをマスター部及びスレーブ部からなるフリップフロップにより形成して、デコーダの前段にマスター部を配置して、スレーブ部をデコーダの後段に配置して複合回路としたことを特徴とする。

- [0018] 本発明の半導体メモリは、前記シンクロリード制御回路が、バーストモード開始の信号から出力データが出力されるまでの、予め設定されているクロック数をNとした場合、N-1のクロックのタイミングから、前記クロックに同期してバーストアドレスのインクリメント動作を行うことを特徴とする。

本発明の半導体メモリは、前記複合回路において、マスター部にラッチされたバーストアドレスをデコーダがデコードし、このデコードされたバーストアドレスをスレーブ部がラッチすることを特徴とする。

本発明の半導体メモリは、前記複合回路がバースト読み出しモードの場合に、バーストアドレスを出力し、非同期読み出しモードの場合に、下位アドレスを直接出力する、出力アドレスの切り替え機能を有していることを特徴とする。

- [0019] 本発明のアドレス制御回路は、半導体メモリにおけるアドレス制御回路であり、リード切替信号と、クロック信号と、このクロックに同期した同期アドレス信号と、外部から入力される非同期アドレス信号とにより動作し、リード切替信号が同期読み出しモードであるとき、前記同期アドレス信号を選択し、フリップフロップのマスター部で、前記同期アドレス信号を前記クロック信号によりラッチし、ラッチされた同期アドレスをデコーダがデコードし、このデコードされた同期アドレス信号を前記フリップフロップのスレーブ部で前記クロック信号によりラッチし、また、リード切替信号が非同期読み出しモードであるとき、前記フリップフロップが導通状態となり、前記非同期アドレスを前記デコーダがデコードして出力する、デコーダの前段にフリップフロップのマスター部を配置して、スレーブ部をデコーダの後段に配置して複合回路としたことを特徴とする。

本発明のアドレス制御回路は、前記複合回路において、マスター部にラッチされた同期アドレスをデコーダがデコードし、このデコードされた同期アドレスをスレーブ部がラッチすることを特徴とする。

本発明のアドレス制御回路は、前記複合回路が同期読み出しモードの場合に、同期アドレスを出力し、非同期読み出しモードの場合に、非同期アドレスを直接出力する、出力アドレスの切り替え機能を有していることを特徴とする。

### 発明の効果

[0020] 以上説明したように、本発明は、出力データを設定されたクロック数において、バースト出力を行わせるため、バーストアドレスを変化させるのに必要なクロックタイミングより、1クロック前にバーストアドレスを変化させ、出力データを出力する上記クロック数に対応するよう、1クロック前に出したクロック分にラッチを用いて調整している。

すなわち、本発明は、予め設定されているクロック数を $N$  ( $N$ は整数であり、メモリアレイのアクセス時間を $M$  ( $M$ は整数) 内部クロックとすると、 $N > M$ ) とした場合、 $N-1$ のタイミングでバーストアドレスのインクリメントを行う。

シンクロリードのモードにおいて、シンクロナス開始クロックエッジから、出力データが出力されるまでのクロック数(メモリアレイのアクセス時間を含む)は予め設定されている。

[0021] これにより、本発明によれば、ページセクタ及びデコーダ回路における遅延を、ページセクタから出力ラッチまでの遅延と独立に分離することが出来、遅延が分離されたことにより、動作マージンが広がり、動作可能なクロック周波数を上昇させることができ、高速なデータ転送が可能となる。

したがって、本発明によれば、トランジスタの性能を向上させることなく、半導体メモリのシンクロリードのモードにおける、バースト出力のためのクロック周波数を上げることが可能となり、アクセスタイムを短くし、高速動作に対応させることができる。

### 図面の簡単な説明

[0022] [図1]本発明の第1及び第2の実施形態によるフラッシュメモリの一構成例を示すブロック図である。

[図2]図1のフラッシュメモリの動作例を示すタイミングチャートである。

[図3]第2の実施形態によるラッチ／デコード回路の一構成例を示すブロック図である。

。

[図4]従来のフラッシュメモリの構成を示すブロック図である。

[図5]図4のフラッシュメモリの動作例を示すタイミングチャートである。

[図6]図4のフラッシュメモリの動作例を示すタイミングチャートである。

### 符号の説明

- [0023]
- 1        アドレスラッチ
  - 2, 20   シンクロリード制御回路
  - 3, 4A   デコーダ
  - 4        メモリアレイ
  - 4B      センスアンプ
  - 5        ページセクタ
  - 6        出力ラッチ
  - 7        ラッチ
  - 8        セクタ
  - 9        コマンド制御回路
  - 11, 12, 13, 14, 15, 16, 17, 18   スイッチ

### 発明を実施するための最良の形態

- [0024]    本発明は、図1に示すように、半導体メモリの複数ある読み出しモードのシンクロリード動作において、シンクロリード制御回路2と出力ラッチ6との間の所定の位置に、タイミング調整用のラッチ7を設け、従来、シンクロリードの開始からデータを出力するまでの予め設定されたクロック数が経過したタイミングから、シンクロリード制御回路2におけるバーストアドレスのインクリメントを開始していたものを、設定されたクロック数が経過する1周期前の内部クロックKによりバーストアドレスR4のインクリメントを開始するようにした。

- [0025]    すなわち、シンクロナス開始クロックエッジが入力されてから、出力データが出力されるまでの予め設定された内部クロックKのクロック周期(最小数は、上記アクセス時間の内部クロック数に1内部クロックの周期を加算したもの)の1内部クロック分早いタ

イミングで、シンクロリード制御回路2がバーストアドレスR4を変化させる。

予め設定された内部クロックの周期をNとすると、N番目の内部クロックKのタイミングによりD0が出力され、N+1番目の内部クロックのタイミングによりD1が出力される。

従来はシンクロリード制御回路20がN番目の内部クロックからバーストアドレスをインクリメントさせていたが、本発明ではシンクロリード制御回路20がN-1番目の内部クロックKからバーストアドレスをインクリメントさせている。

[0026] これにより、シンクロリード制御回路2に内部クロックKが入力してから、バーストアドレスがインクリメントされ、ページセクタ5から出力されるまでの遅延時間を分割、すなわち、シンクロリード制御回路2におけるバーストアドレスの変化を開始させるタイミングを、従来に比較して1内部クロック分先出しして、ラッチ7によりこの1内部クロック分を保持させて出力タイミングを調整することにより、出力ラッチ6にバーストアドレスが到達するタイミングを従来と同様のクロック数としている。

[0027] すなわち、バーストアドレスを変化させる内部クロックから、このバーストアドレスが出力ラッチ6に到達するのを2内部クロック分とし、デコーダ3の出力の遅延までを1クロック分以内に収め、残りの1クロック分において、ページセクタ5及び出力ラッチ6までの処理を行えば良いので、バーストアドレスを伝搬する経路の遅延時間に余裕ができ、遅延問題を解消する事が可能となった。

このように、本発明は、外部から入力されるクロックが今日高速化の一途をたどり、この高速動作に対応するため、チップ内部のアドレス及びデータの伝達パスをも高速に動作させる必要性に基づき、内部動作の高速化を図るために発案した内容である。

[0028] <第1の実施形態>

シンクロリードとは、入力バッファよりメモリデータの読み出したいスタートアドレスのアドレス信号An(ここでは、 $1 \leq n \leq 22$ の整数)を入力し、読み出しモードを同期読み出しとし、また、シンクロリードをスタートさせるコマンドをデータDINにより入力し、シンクロナス開始クロックエッジが入力されることにより、内部クロックに同期して、メモリアレイ4からデータを読み出すアドレスが自動的にインクリメントして、連続したアドレ

スのデータが、内部クロックに同期して出力されるものである。

- [0029] 以下、本発明の第1の実施形態を図1を用いて説明する。図1は第1の実施形態によるフラッシュメモリの一構成例を示すものである。従来例と同様な構成については、同一の符号を付し、説明を省略する。

入力バッファはパッドを介して外部から入力されるチップイネーブル信号、アドレス信号 $A_n$ 、アドレスバリッド信号ADV、外部クロック、データDIN、ライト信号WRを含む複数の信号が入力され、各信号の波形調整等を行い内部回路に供給する。ここで、入力バッファは入力される外部クロックから、内部クロックKを生成して出力する。

コマンド制御回路9は、所定のアドレスのアドレス $A_n$ 、ライト信号WR、シンクロリードのモードとするコマンドを示すデータDIN、アドレスバリッド信号ADVが入力されることにより、シンクロリードのモードであることを判定して、リード切り替え信号R10を出力する。

- [0030] アドレスラッチ1は、入力バッファからのアドレスR1 ( $A_n$ )を内部クロックKに同期してラッチする。

シンクロナスリード制御回路2は、アドレスラッチ1からのアドレスR2を、メモリアクセスアドレスR3(上位アドレス、例えば $A_3$ 〜 $A_{22}$ )と、バーストアドレスR4(下位アドレス $A_0$ 〜 $A_2$ )とに分離し、メモリアクセスアドレスR3をセクタ8へ出力する。

また、シンクロナスリード制御回路2は、リード切り替え信号R10がシンクロリードの状態である場合、下位アドレスを内部のカウンタのカウント開始数として設定し、リード切り替え信号R10が非同期読み出しの状態である場合、下位アドレスをそのまま入力されたアドレスを出力するセクタ機能を有している。

このとき、非同期読み出しとする場合には、非同期読み出しのモードとするコマンドを示すデータDINを入力されることで、コマンド制御回路9が、非同期読み出しの状態であるリード切り替え信号R10を出力する。

- [0031] セクタ8は、入力バッファから直接入力される上位アドレスと、シンクロリード制御回路2から入力されるメモリアクセスアドレスR3との、いずれをデコーダ4Aへ出力させるかの切り替えを行う。

ここで、セクタ8は、リード切り替え信号R10がシンクロリードの状態である場合、メ

モリアクセスアドレスR3を出力し、リード切り替え信号R10が非同期読み出しの状態である場合、入力バッファから直接入力される上位アドレスを出力する。

ラッチ7は、タイミング調整用のラッチであり、デコーダ3がバーストアドレスR4をデコードしたバーストアドレスR6を、内部クロックKに同期してラッチする。

- [0032] ページセクタ5は、メモリアレイ4から読み出され、センスアンプ回路4Bにおいて保持されている、スタートアドレスより128bit (8ワード) 分のメモリデータR5が入力され、ラッチ7が内部クロックKに同期して出力するデータ保持信号R7に対応して、順次、8ワードから1ワードを選択してメモリデータR8として出力する。

出力ラッチ6は、ページセクタ5から出力されるメモリデータR8を、内部クロックKに同期させて、ラッチデータR9として、順次、出力バッファを介してパッドから外部回路に出力する。

出力ラッチ6及びラッチ7は内部クロックKの立ち上がりにより入力されているデータを保持する。

- [0033] 次に、図2を参照して、第1の実施形態によるフラッシュメモリにおけるシンクロリードの動作の説明を行う。図2は、このシンクロリードの一動作例を示すタイミングチャートである。すでに、チップイネーブル信号CE及び、シンクロリードとするコマンドを示すデータDINは入力されているとする。ここでは、例えば、フラッシュメモリを動作させるための外部クロックの周波数を133MHzとし、従来と同様に、シンクロナス開始クロックエッジの入力から7クロック目からデータを連続して出力する設定となっているとする。また、図2において内部クロックKに示されている番号は、シンクロナスリード開始クロック(立ち上がり)からの経過したクロック数を示している。

シンクロリード開始アドレスを示すアドレスAnが、各アドレスが割り当てられた外部パッドから入力される。

そして、アドレスバリッド信号ADVを外部から決められた仕様により入力し、シンクロリードをスタートさせる。

- [0034] このとき、シンクロナスリード開始クロックが所定の回路により、内部クロックKに同期して生成され、このシンクロリード開始クロックにより、シンクロリード開始アドレスを示すアドレスAnがアドレスラッチ1にラッチされる。

このアドレスラッチ1は、例えば、アドレスバリッド信号ADVが「H」レベルで入力されている場合、出力として不定のデータが出力されているが、シンクロリードスタート信号が、「H」レベルから「L」レベルに遷移することにより(負論理により活性化)、入力バッファから入力されるアドレスR1をラッチして、アドレスR2として出力する。

- [0035] このとき、シンクロナスリード開始クロックが、アドレスバリッド信号ADVが「L」レベルになった時点から内部クロックKの有効エッジ(立ち上がり)が発生するか、または、アドレスバリッド信号ADVが再度「L」レベルから「H」レベルに変化するかどうか早いタイミングにより保持され、アドレスラッチ1は、このシンクロナスリード開始クロックにより初期アドレスであるアドレスR1をラッチする。

次に、シンクロリード制御回路2は、アドレスラッチ1から入力されるアドレスR2において、上位アドレスをメモリアクセスアドレスR3として、セクタ8へ出力する。

このとき、シンクロリードのモードであるため、セクタ8は、上記メモリアクセスアドレスR3をデコーダ4Bへ出力する。

そして、デコーダ4Bは、入力されるメモリアクセスアドレスR3をデコードし、メモリアレイ4においてデータを出力するべきメモリ素子を選択し、選択されたメモリ素子は記憶しているデータを出力させる。

- [0036] この出力させるデータは、128bit(8ワード)分のメモリデータR5として、ページセクタ回路5にメモリデータR5全てが転送され、このページセクタ回路5にて保持される(このメモリアレイ4にシンクロリード制御回路2から転送するメモリアドレスは、シンクロリード制御回路2にて初期アドレスの下位アドレスを自動的にインクリメントし、ページセクタ5における8ワード分のデータの出力が全て終了し、次の8ワード分のデータを出力する時点において、シンクロリード制御回路2においてインクリメントされたメモリアクセスアドレスが順次メモリアレイ4に転送される)。

- [0037] また、シンクロリード制御回路2は、シンクロリードのモードであるため、内部のカウンタのカウント開始数として、アドレスR2の下位アドレスのデータを設定する。

そして、シンクロリード制御回路2は、シンクロナスリード開始クロックにより、メモリアレイ4がアクセスされ、所定のアクセス時間、すなわち内部クロックKの6サイクル目(シンクロナスリード開始クロックから)の周期が経過する1内部クロックの周期分早いタ

イミング、すなわち6サイクル目の内部クロックKの立ち上がりによりバーストアドレスR4のインクリメント(変化)を開始する。

すなわち、従来、データを出力するのに必要なクロック数のタイミングに応じて、バーストアドレスのインクリメントをさせていたが、本発明においては、実際に必要なクロック数のタイミングより1クロック分先にバーストアドレスのインクリメントを開始している。

[0038] これにより、6クロック目の内部クロックKの立ち上がり時点において、バーストアドレスR4が変化し、ページセクタ5にある8ワード(D0〜D8)における2ワード目(D1)を示す、またラッチ7は1ワード目(D0)を示すデータ保持信号R7をラッチしているため、ページセクタ5は1ワード目(D0)のデータを出力している。

次に、7クロック目の内部クロックの立ち上がりにおいて、バーストアドレスR4が変化し、ページセクタ5にある8ワード(D0〜D8)における3ワード目(D2)を示す、またラッチ7は2ワード目(D1)を示すデータ保持信号R7をラッチしているため、ページセクタ5は2ワード目(D1)のデータを出力しており、出力ラッチ6は1ワード目のデータを、ラッチデータR9として保持しており、このラッチデータR9が出力データとして出力バッファからパッドを介して出力される。

この後、8クロック目からも、順次、D1, D2, …と出力データが出力される。

[0039] 上述した回路構成により、バーストアドレス及びデータの伝搬経路であった、シンクロリッド制御回路2から出力ラッチ6までを、従来1クロック以内で処理していたものを、1内部クロック分だけ従来に比較して1クロック分早く出力し、シンクロリッド制御回路2からページセクタ5までのバーストアドレスの伝達を2クロックで処理し、1クロック分バーストアドレスの変化を早めた分、設定された出力までのクロック数を調整するために、ラッチ7を挿入したことにより、シンクロリッドのアクセスタイムの向上の制限となっていたバーストアドレスの伝搬遅延の問題を解決することが可能となった。

[0040] <第2の実施形態>

次に、第2の実施形態によるフラッシュメモリの説明を行う。第2の実施形態は第1の実施形態におけるデコーダ3、ラッチ7及び、シンクロリッド制御回路2におけるリッド切替信号R10によるシンクロリッド時及び非同期時におけるアドレスの出力の切り替



え機能の部分を1回路としてまとめた点異なる。したがって、第2の実施形態におけるシンクロリード制御回路2は、シンクロリード時及び非同期時におけるアドレスの出力の切り替え機能の部分を除いた、第1の実施形態におけるシンクロリード制御回路2の機能を有している。ここで、リード切替信号は、予めコマンド(DIN)により設定されており、コマンド制御回路9から出力される。

以下、図3により、第2の実施形態におけるデコーダ3、ラッチ7及び、シンクロリード制御回路2におけるリード切り替え信号R10によるシンクロリード時及び非同期時におけるアドレスの出力の切り替え機能の部分をまとめたデコード／ラッチ回路について説明する(半導体メモリのアドレス制御回路)。図3は、第2の実施形態によるデコード／ラッチ回路の一構成例を示すブロック図である。

[0041] 上記デコード／ラッチ回路は、ラッチ7(説明のために記載しているのみで、実際に図3の回路構成には存在しない)をマスター部7Aとスレーブ部7Bとに分割し、デコーダ3の前段にマスター部7A及びアドレスの出力の切り替えを行うセクタ部10を配置し、デコーダ3の後段にスレーブ部7Bを配置している。

リード切替信号が非同期の読み出しを示す(例えば、リード切替信号が「H」レベル)場合、スイッチ11及び12がオンとなり、アドレスR1がデコーダに供給され、デコーダされたアドレスはスイッチ13がオンでありラッチされずにそのまま通過する。

このとき、スイッチ14及び15〜18は全てオフで非導通の状態となり、バーストアドレスR4に対する処理は行われない。

[0042] 一方、リード切替信号がシンクロリードのモードを示す(例えば、リード切替信号が「L」レベル)場合、スイッチ11〜13が全てオフとなり不導通状態となり、アドレスR1に対する処理は行われない。

内部クロックKが「L」レベルのとき、スイッチ15及び16がオンとなり、バーストアドレスR4がマスター部7Aへ供給される。

このとき、スイッチ18及び19はオフでありマスター部7Aは、アドレスR4を保持する状態にはない。

このとき、スレーブ部7Bにおいては、スイッチ13がオフ状態であり、スイッチ14がオン状態であるため、1つ前のデータ保持信号R7を保持している。

[0043] 次に、内部クロックが「H」レベルとなると、マスター部7Aにおいて、スイッチ15及び16がオフ状態となり、スイッチ17及び18がオン状態となり、内部クロックKが「L」レベルの時点において入力していたバーストアドレスR4を保持する。

これにより、デコーダ3は、この保持されているバーストアドレスR4をデコードして、バーストアドレスR6として出力する。

スレーブ部7Bにおいて、スイッチ13がオン状態となり、スイッチ14がオフ状態となるため、バーストアドレスR6がそのまま、データ保持信号R7として出力される。

そして、内部クロックKが「L」レベルとなると、スレーブ部7Bにおいて、スイッチ13がオフ状態となり、スイッチ14がオン状態となるため、バーストアドレスR6がラッチされて、データ保持信号R7として出力される。

[0044] これにより、デコード／ラッチ回路は、内部クロックKの立ち上がりから次の立ち上がりまで、バーストアドレスR4をデコードして、データ保持信号R7をラッチして出力することになる。

また、他の動作については、第1の実施形態と同様のため、動作の説明を省略する。

上述したように、第2の実施形態においては、非同期の読み出しのアドレス経路の高速化や回路規模を削減するために、上述したラッチ7、デコーダ3及びアドレスの切り替え機能を融合した複合回路としたため、回路ブロックを1つにまとめることができ、アドレスの伝達経路の遅延を、第1の実施形態の構成に比較して少なくし、かつ回路規模を縮小することができる。

このため、シンクロリードのモードにおいて、クロックのタイミング調整に挿入したラッチ7の、非同期読み出しにおけるアドレス伝達の遅延に対する影響を削減することができる。

第1及び第2の実施形態は、フラッシュメモリを例として説明したが、バースト読み出しの動作を行う他のダイナミックメモリ、マスクROM(リードオンリメモリ)などの半導体メモリに適用することが可能である。

#### 産業上の利用可能性

[0045] 本発明は、バーストモードによるデータ読み出し機能を有する半導体メモリに適用

でき、小型携帯機器(特に携帯電話)の記憶装置に利用できる。

### 請求の範囲

- [1] クロックに同期してデータの連続読出し動作を行うバーストモード読出し機能を有する半導体メモリにおいて、
- 複数のメモリ素子からなるメモリアレイと、
- 入力されるアドレスにおける上位アドレスをメモリアクセスアドレスとして、前記クロックに同期して出力するとともに、該上位アドレスを除くアドレスをバーストアドレスとして、このクロックに同期して順次変化させて出力するシンクロリード制御回路と、
- 該メモリアドレスにより選択されたメモリ素子各々からの微小な出力信号を増幅し、出力データとして出力するセンスアンプと、
- バーストアドレスをデコードするデコーダと、
- デコードされたバーストアドレスを前記クロックに同期させてラッチして出力するバーストラッチと、
- 前記各出力データを保持し、バーストアドレスに対応して、保持されている出力データを選択するページセクタと
- を有していることを特徴とする半導体メモリ。
- [2] クロックに同期してデータの連続読出し動作を行うバーストモード読出し機能を有する半導体メモリにおいて、
- 複数のメモリ素子からなるメモリアレイと、
- 入力されるアドレスにおける上位アドレスをメモリアクセスアドレスとして、前記クロックに同期して出力するとともに、該上位アドレスを除くアドレスをバーストアドレスとして、このクロックに同期して順次変化させて出力するシンクロリード制御回路と、
- 該メモリアドレスにより選択されたメモリ素子各々からの微小な出力信号を増幅し、出力データとして出力するセンスアンプと、
- バーストアドレスをデコードするデコーダと、
- デコードされたバーストアドレスを前記クロックに同期させてラッチして出力するバーストラッチと、
- 前記各出力データを保持し、バーストアドレスに対応して、保持されている出力データを選択するページセクタと、

前記クロックに同期して、前記ページセクタにより選択された出力データをラッチして出力する出力ラッチと

を有していることを特徴とする半導体メモリ。

- [3] 前記シンクロリード制御回路が、バーストモード開始の信号から出力データが出力されるまでの、予め設定されているクロック数をNとした場合、N-1のクロックのタイミングから、前記クロックに同期してバーストアドレスのインクリメント動作を行うことを特徴とする請求項1または請求項2に記載の半導体メモリ。

- [4] クロックに同期してデータの連続読出し動作を行うバーストモード読み出し機能を有する半導体メモリにおいて、

複数のメモリ素子からなるメモリアレイと、

入力されるアドレスにおける上位アドレスをメモリアクセスアドレスとして、前記クロックに同期して出力するとともに、該上位アドレスを除くアドレスをバーストアドレスとして、このクロックに同期して順次変化させて出力するシンクロリード制御回路と、

該メモリアドレスにより選択されたメモリ素子各々からの微小な出力信号を増幅し、出力データとして出力するセンスアンプと、

バーストアドレスをデコードするデコーダと、

デコードされたバーストアドレスを前記クロックに同期させてラッチして出力するバーストラッチと、

前記各出力データを保持し、バーストアドレスに対応して、保持されている出力データを選択するページセクタと、

前記クロックに同期して、前記ページセクタにより選択された出力データをラッチして出力する出力ラッチと

を有し、

前記バーストラッチ及びデコーダにおいて、このラッチをマスター部及びスレーブ部からなるフリップフロップにより形成して、デコーダの前段にマスター部を配置して、スレーブ部をデコーダの後段に配置して複合回路としたことを特徴とする半導体メモリ。

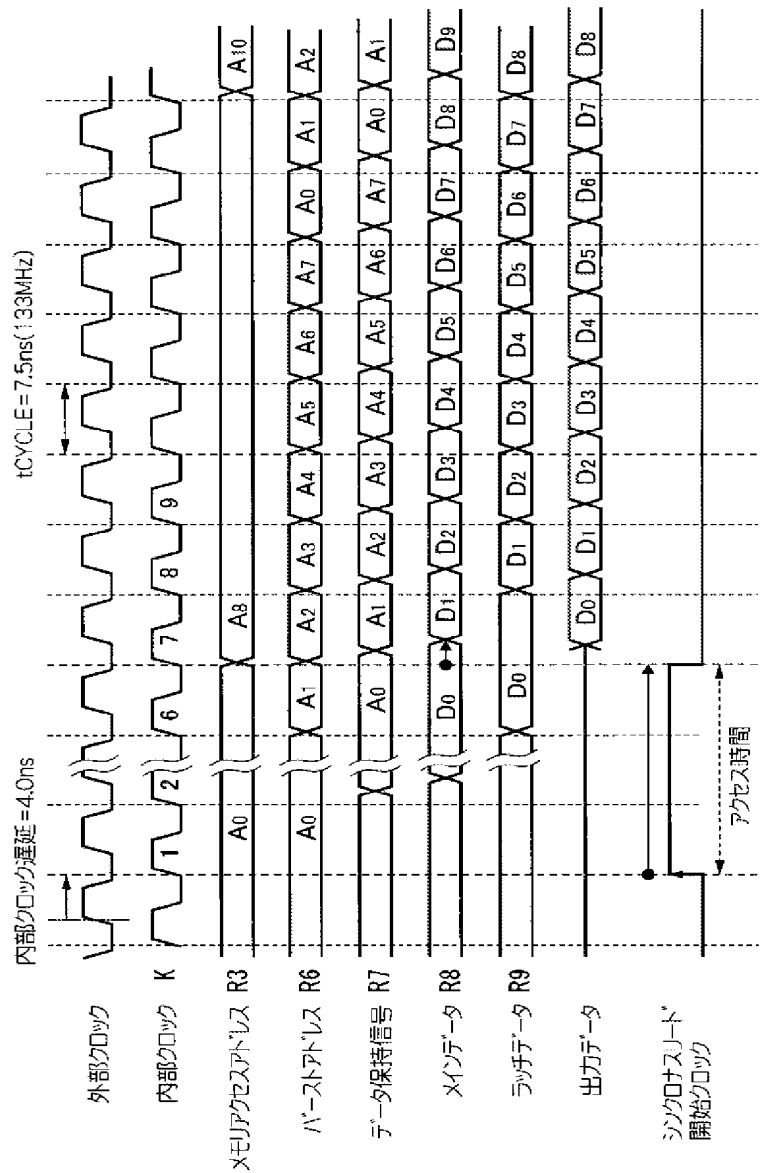
- [5] 前記シンクロリード制御回路が、バーストモード開始の信号から出力データが出力

されるまでの、予め設定されているクロック数をNとした場合、N-1のクロックのタイミングから、前記クロックに同期してバーストアドレスのインクリメント動作を行うことを特徴とする請求項4に記載の半導体メモリ。

- [6] 前記複合回路において、マスター部にラッチされたバーストアドレスをデコーダがデコードし、このデコードされたバーストアドレスをスレーブ部がラッチすることを特徴とする請求項5に記載の半導体メモリ。
- [7] 前記複合回路がバースト読み出しモードの場合に、バーストアドレスを出力し、非同期読み出しモードの場合に、下位アドレスを直接出力する、出力アドレスの切り替え機能を有していることを特徴とする請求項6に記載の半導体メモリ。
- [8] リード切替信号と、クロック信号と、このクロックに同期した同期アドレス信号と、外部から入力される非同期アドレス信号とにより動作し、
- リード切替信号が同期読み出しモードであるとき、前記同期アドレス信号を選択し、フリップフロップのマスター部で、前記同期アドレス信号を前記クロック信号によりラッチし、ラッチされた同期アドレスをデコーダがデコードし、このデコードされた同期アドレス信号を前記フリップフロップのスレーブ部で前記クロック信号によりラッチし、また、リード切替信号が非同期読み出しモードであるとき、前記フリップフロップが導通状態となり、前記非同期アドレスを前記デコーダがデコードして出力する、デコーダの前段にフリップフロップのマスター部を配置して、スレーブ部をデコーダの後段に配置して複合回路としたことを特徴とするメモリのアドレス制御回路。
- [9] 前記複合回路において、マスター部にラッチされた同期アドレスをデコーダがデコードし、このデコードされた同期アドレスをスレーブ部がラッチすることを特徴とする請求項8に記載のアドレス制御回路。
- [10] 前記複合回路が同期読み出しモードの場合に、同期アドレスを出力し、非同期読み出しモードの場合に、非同期アドレスを直接出力する、出力アドレスの切り替え機能を有していることを特徴とする請求項9に記載のアドレス制御回路。

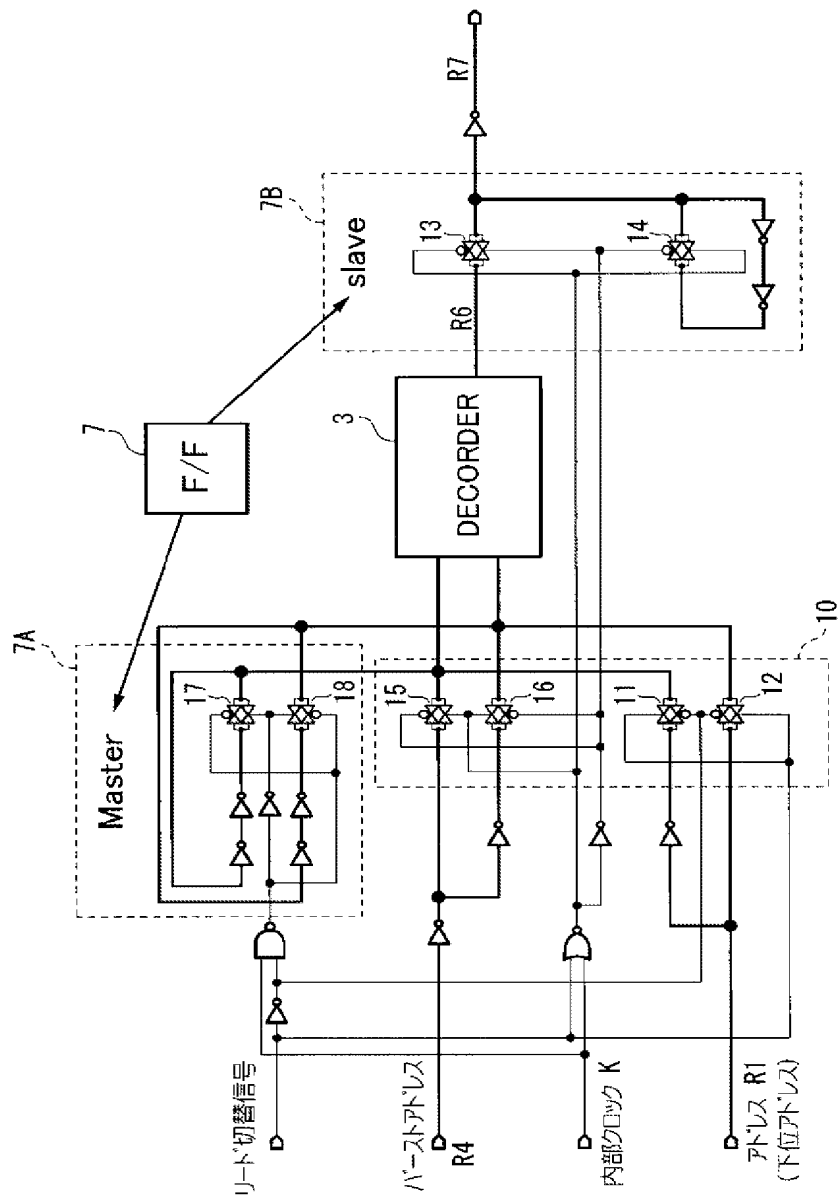


[図2]

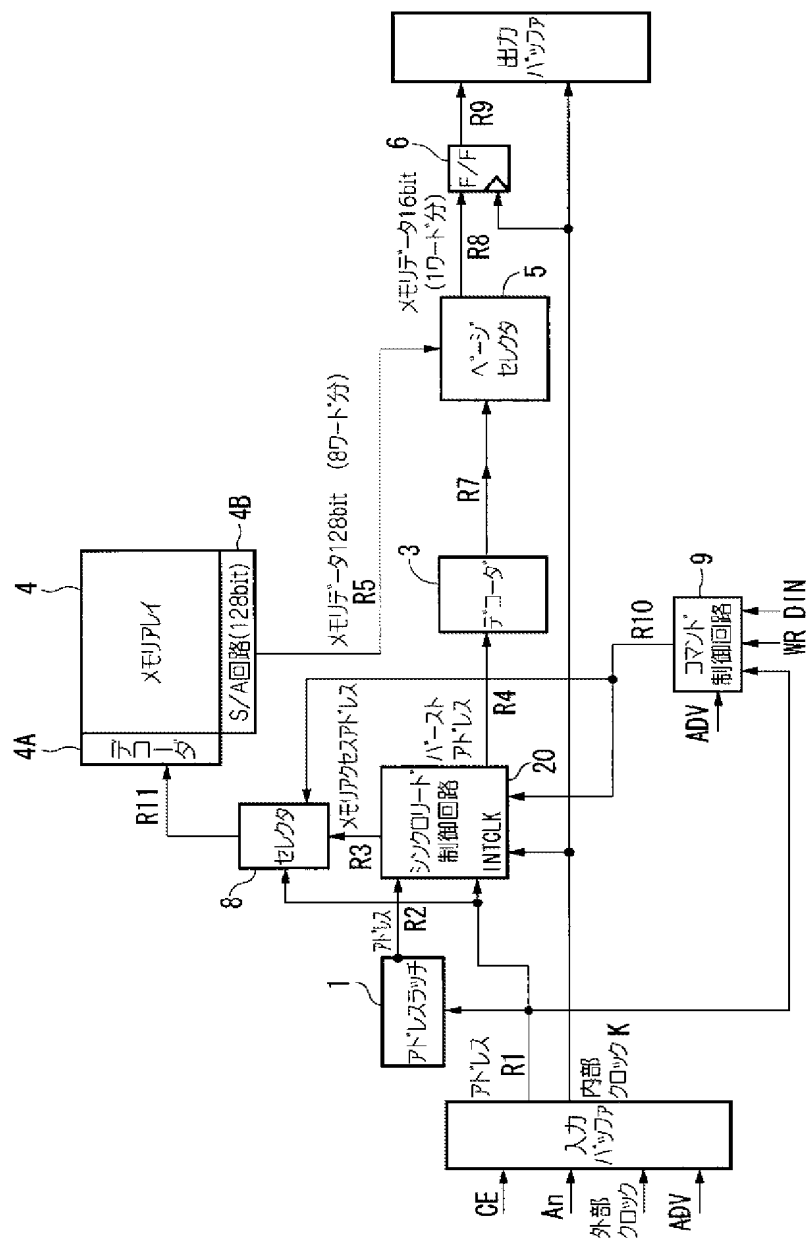




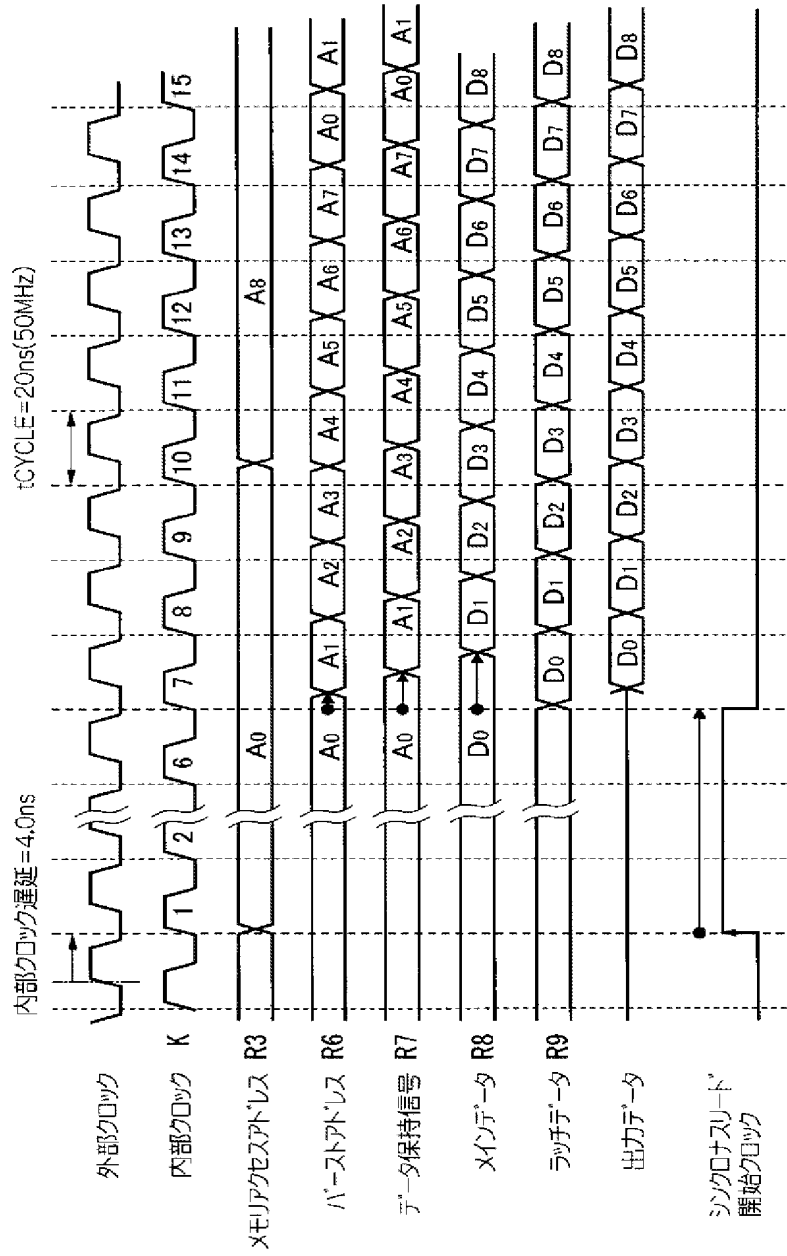
[図3]



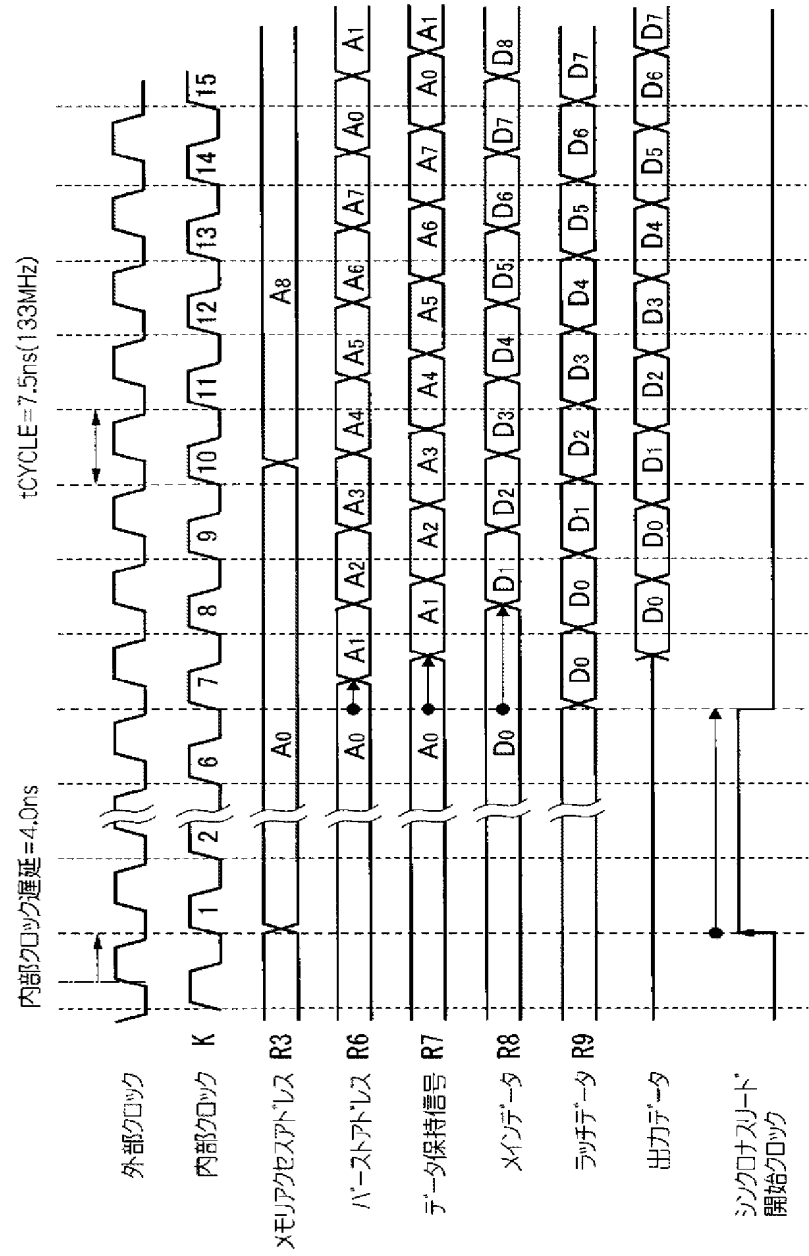
[図4]



[図5]



[図6]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001893

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G11C11/401, 11/407, 16/02, 16/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G11C11/401, 11/407, 16/02-16/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-344987 A (NEC Corp.), 14 December, 2001 (14.12.01), Par. Nos. [0057] to [0058]; Fig. 1 & US 2001/046178 A1 & KR 2001-109114 A & TW 508586 A	1-10
A	JP 10-134593 A (Sharp Corp.), 22 May, 1998 (22.05.98), Par. Nos. [0147] to [0152]; Fig. 2 & US 6040999 A & KR 1998-033166 A	1-10
A	JP 9-204790 A (Hitachi, Ltd.), 05 August, 1997 (05.08.97), Par. Nos. [0040] to [0041]; Fig. 1 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
09 May, 2005 (09.05.05)

Date of mailing of the international search report  
24 May, 2005 (24.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/001893

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-48565 A (Mitsubishi Electric Corp.), 18 February, 2000 (18.02.00), Full text; all drawings & US 2001/000693 A1	1-10
A	JP 2001-126480 A (Fujitsu Ltd.), 11 May, 2001 (11.05.01), Full text; all drawings & US 2002/093872 A1 & TW 471159 A	1-10

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G11C11/401, 11/407, 16/02, 16/06

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G11C11/401, 11/407, 16/02-16/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-344987 A (日本電気株式会社) 2001.12.14, 段落0057-0058, 図面第1図 & US 2001/046178 A1 & KR 2001-109114 A & TW 508586 A	1-10
A	JP 10-134593 A (シャープ株式会社) 1998.05.22, 段落0147-0152, 図面第2図 & US 6040999 A & KR 1998-033166 A	1-10
A	JP 9-204790 A (株式会社日立製作所) 1997.08.05, 段落0040-0041, 図面第1図 (ファミリーなし)	1-10

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

09.05.2005

国際調査報告の発送日

24.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5 N

8 7 3 1

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-48565 A (三菱電機株式会社) 2000. 02. 18, 全文, 全図 & US 2001/000693 A1	1-10
A	JP 2001-126480 A (富士通株式会社) 2001. 05. 11, 全文, 全図 & US 2002/093872 A1 & TW 471159 A	1-10